

(19)

(11) Publication number: 11195713 A

Generated Document

PATENT ABSTRACTS OF JAPAN

(21) Application number: 10000599

(51) Intl. Cl.: H01L 21/8238 H01L 27/092 H01L 27/108
H01L 21/8242 H01L 29/80

(22) Application date: 06.01.98

(30) Priority:

(43) Date of application
publication: 21.07.99(84) Designated
contracting states:

(71) Applicant: SONY CORP

(72) Inventor: TSUKAMOTO MASANORI

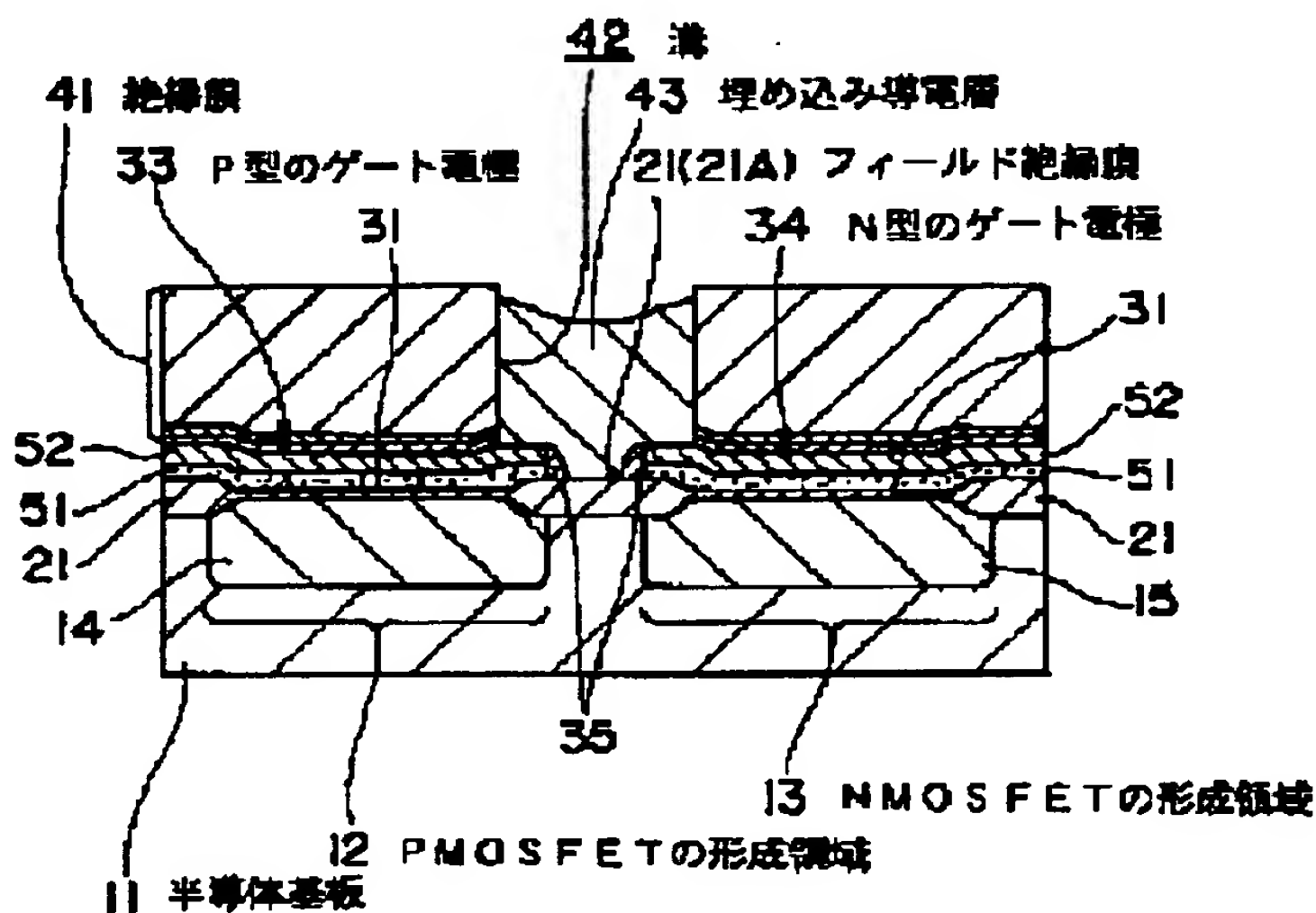
(74) Representative:

(54) SEMICONDUCTOR
DEVICE AND MANUFACTURE
THEREOF

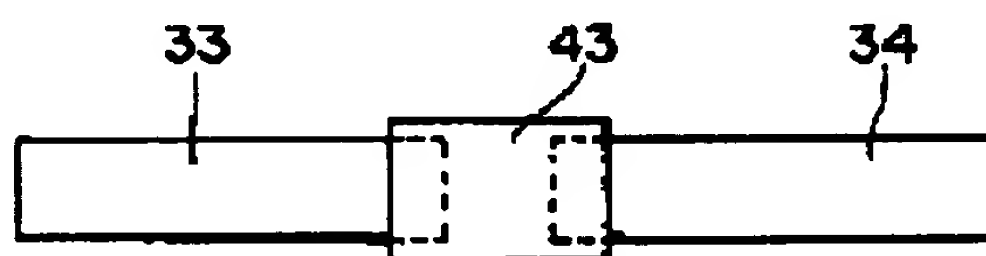
(57) Abstract:

PROBLEM TO BE SOLVED: To prevent the generation of mutual diffusion of impurities through a tungsten silicide of a gate electrode and to prevent increase in a process number, by eliminating the need of introducing the impurities to the gate electrode in a different process.

SOLUTION: A field insulation film 21A for separating a formation region 12 of a PMOSFET and a formation area 13 of an NMOSFET is provided on a semiconductor substrate 11. Then, a P-type gate electrode 33 of the formation area 12 of the PMOSFET and an N-type gate electrode 34 of the formation area 13 of the NMOSFET are physically separated on the field insulation film 21A, and an embedded conductive layer 43 connected to both gate electrodes 33 and 34 is formed inside a groove formed on an insulation film 41 covering both gate electrodes 33 and 34 and reaching a separation part of both gate electrodes 33 and 34.



(1)



(2)

COPYRIGHT: (C)1999,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-195713

(43) 公開日 平成11年(1999) 7月21日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 21/8238

H 0 1 L 27/08

3 2 1 F

27/092

27/10

6 2 1 C

27/108

6 8 1 F

21/8242

29/80

W

29/80

審査請求 未請求 請求項の数 5 O L (全 11 頁)

(21) 出願番号

特願平10-599

(22) 出願日

平成10年(1998) 1月6日

(71) 出願人

000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者

塚本 雅則

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人

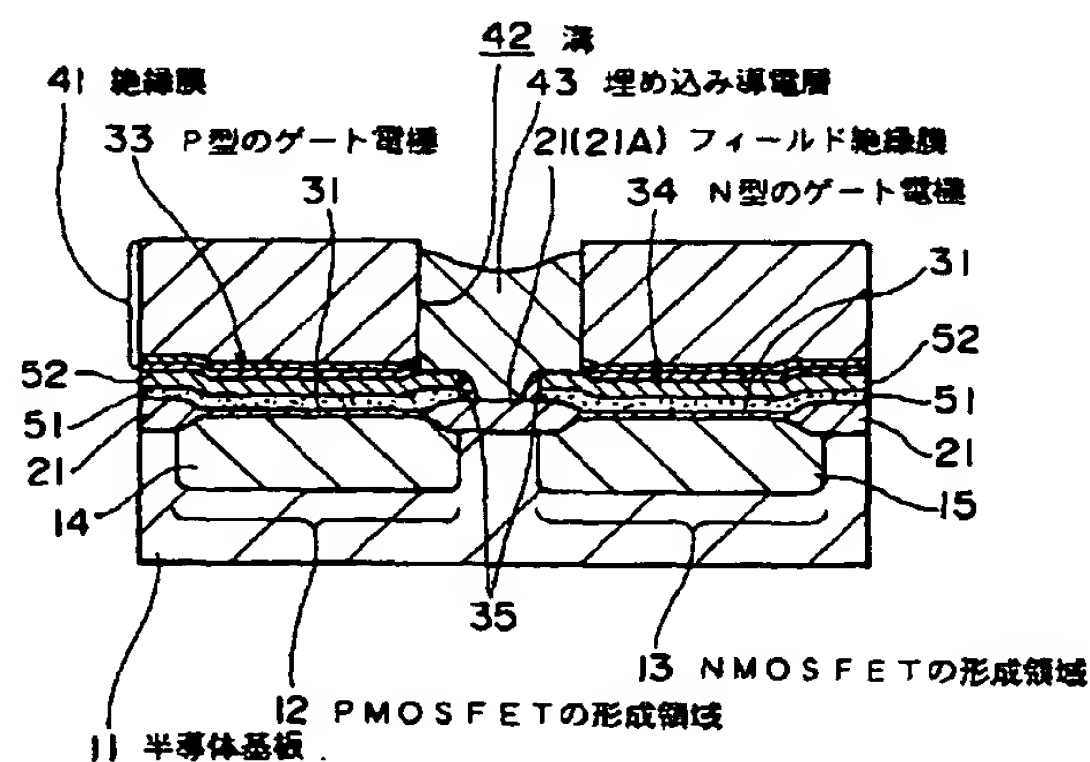
弁理士 船橋 國則

(54) 【発明の名称】 半導体装置およびその製造方法

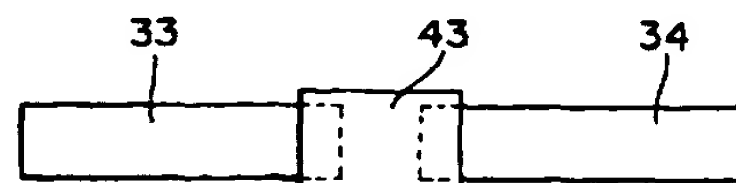
(57) 【要約】

【課題】 デュアルゲートでのタングステンポリサイド構造は、高温プロセス時に不純物の相互拡散が生じ、M O S F E T 特性の劣化を来す。またゲート電極のN型領域とP型領域とを分離するとその間の電氣的接続が困難となる。

【解決手段】 P M O S F E T の形成領域12とN M O S F E T の形成領域13とを分離するフィールド絶縁膜21Aが半導体基板11に設けられていて、P M O S F E T の形成領域12のP型のゲート電極33と、N M O S F E T の形成領域13のN型のゲート電極34とがフィールド絶縁膜21A上で物理的に分離されていて、両ゲート電極33、34の分離部分に達するもので両ゲート電極33、34を被覆する絶縁膜41に形成された溝42内に、両ゲート電極33、34に接続する埋め込み導電層43が形成されたものである。



(1)



(2)

【特許請求の範囲】

【請求項1】 第1のトランジスタ領域と第2のトランジスタ領域とを分離するフィールド絶縁膜が半導体基板に設けられていて、前記第1のトランジスタ領域上に形成された第1トランジスタのゲート電極がP型で形成され、前記第2のトランジスタ領域上に形成された第2トランジスタのゲート電極がN型で形成されていて、かつ前記P型のゲート電極と前記N型のゲート電極とが電気的に接続されている相補型電界効果トランジスタを備えた半導体装置において、

前記P型のゲート電極と前記N型のゲート電極とは前記フィールド絶縁膜上で物理的に分離されていて、前記P型のゲート電極と前記N型のゲート電極とを被覆するもので前記半導体基板上に形成された絶縁膜と、前記P型のゲート電極と前記N型のゲート電極との分離部分に達するもので前記絶縁膜に形成された溝と、前記溝の内部で前記P型のゲート電極と前記N型のゲート電極とに接続するもので前記溝の内部に形成された埋め込み導電層とを備えていることを特徴とする半導体装置。

【請求項2】 半導体基板に設けられているフィールド絶縁膜により分離されている第1のトランジスタ領域上と第2のトランジスタ領域上とにゲート電極を形成する際に、前記第1のトランジスタ領域上のゲート電極と前記第2のトランジスタ領域上のゲート電極とを前記フィールド絶縁膜上で分離した状態に形成する工程と、前記第1のトランジスタ領域上のゲート電極をP型に形成し、前記第2のトランジスタ領域上のゲート電極をN型に形成する工程と、前記P型のゲート電極と前記N型のゲート電極とを被覆する絶縁膜を形成する工程と、前記P型のゲート電極と前記N型のゲート電極とに分離されている部分に達する溝を前記絶縁膜に形成する工程と、前記溝の内部で前記P型のゲート電極と前記N型のゲート電極とに接続するもので前記溝の内部に埋め込み導電層を形成する工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項3】 請求項2記載の半導体装置の製造方法において、前記第1のトランジスタ領域上のゲート電極をP型に形成し、前記第2のトランジスタ領域上のゲート電極をN型に形成する工程と、前記埋め込み導電層を形成する工程との間に、熱処理をとまなうメモリ素子のキャパシタを形成する工程を備えたことを特徴とする半導体装置の製造方法。

【請求項4】 請求項2記載の半導体装置の製造方法において、前記第1のトランジスタ領域上のゲート電極と前記第2のトランジスタ領域上のゲート電極とを形成する際に用

いるエッチングマスクを、クロムレス位相シフト法を用いたリソグラフィ技術により形成することを特徴とする半導体装置の製造方法。

【請求項5】 請求項3記載の半導体装置の製造方法において、

前記第1のトランジスタ領域上のゲート電極と前記第2のトランジスタ領域上のゲート電極とを形成する際に用いるエッチングマスクを、クロムレス位相シフト法を用いたリソグラフィ技術により形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置およびその製造方法に関し、詳しくはデュアルゲート構造の半導体装置およびその製造方法に関する。

【0002】

【従来の技術】システムコストの低減、低消費電力化、高速化を目的に、メモリ素子とロジック素子との同一チップへの混載が行われている。特に、3次元グラフィックスデバイス等への応用では、高速データ転送化を目的として高バンド幅のメモリが必要である。これは大容量のメモリ素子を高速ロジックデバイスに混載することで達成される。

【0003】高速ロジック素子を形成するには、ゲート長の縮小化、低しきい値電圧（低 V_{th} ）化が必要になる。それには、NMOSTランジスタおよびPMOSTランジスタともに、短チャネル効果の抑制に適した表面チャネル型動作とする必要があり、またデュアルゲート構造とする必要がある。

【0004】ロジックデバイスにDRAMのようなメモリ素子を混載する場合、デュアルゲートを形成した後に、メモリセルを形成するために高温プロセスが行われる。したがって、デュアルゲートに、800℃以上の熱処理で凝集等を生じて高抵抗化するようなサリサイド（Self-Aligned Silicidation: SALICIDE）を適用することはできないため、タングステンポリサイド構造のゲート電極を適用することが望まれる。

【0005】

【発明が解決しようとする課題】しかしながら、タングステンポリサイド構造のゲート電極を用いた場合、高温プロセスにおいてタングステンシリサイドを介して不純物の相互拡散が生じ、MOSFET（Metal-Oxide-Semiconductor Field Effect Transistor）特性を劣化させる。そこで、相互拡散を抑制するためのタングステンシリサイドポリサイドーデュアルゲートプロセスが報告されているが、ゲート電極へのイオン注入をソース・ドレインイオン注入と兼用することができないため、プロセスステップ数が増加することになる。したがって、ソース・ドレインイオン注入によってゲート電極への不純物導入が可能なタングステンシリサイドポリサイドーデュ

アルゲートプロセスが必要になる。

【0006】一方、相互拡散を防ぐために、ゲート電極のN⁺領域とP⁺領域とを、MOSFET以外の領域（例えばフィールド酸化膜上）で分断した場合は、N型領域のゲート電極とP型領域のゲート電極とを上層配線で接続する必要がある。そのため、上記接続領域を確保するための広い領域が必要になるので、セル面積の縮小化が困難になる。また、図8に示すように、上層配線121からの層間絶縁膜131に形成されているコンタクト部122を利用してN型領域のゲート電極111とP型領域のゲート電極112とを接続する場合には、リソグラフィにおける合わせ精度等を考慮すると、広い間隔のゲート電極間をコンタクト部122によって直接的に接続することは困難である。

【0007】

【課題を解決するための手段】本発明は、上記課題を解決するためになされた半導体装置およびその製造方法であり、その半導体装置は、第1のトランジスタ領域と第2のトランジスタ領域とを分離するフィールド絶縁膜が半導体基板に設けられていて、第1のトランジスタ領域上に形成された第1トランジスタのゲート電極がP型で形成され、第2のトランジスタ領域上に形成された第2トランジスタのゲート電極がN型で形成されていて、かつP型のゲート電極とN型のゲート電極とが電気的に接続されている相補型電界効果トランジスタを備えた半導体装置であって、P型のゲート電極とN型のゲート電極とはフィールド絶縁膜上で物理的に分離されている。しかも半導体基板上にはP型のゲート電極とN型のゲート電極とを被覆する絶縁膜が形成されていて、その絶縁膜には、P型のゲート電極とN型のゲート電極との分離部分に達する溝が形成されている。その溝の内部には、P型のゲート電極とN型のゲート電極とに接続する埋め込み導電層が形成されていることを特徴としている。

【0008】上記半導体装置では、相補型電界効果トランジスタのゲート電極は、フィールド絶縁膜上でP型のゲート電極とN型のゲート電極とに物理的に分離されていることから、P型のゲート電極とN型のゲート電極と相互間で、ゲート電極中の不純物が拡散することはない。さらに、P型のゲート電極とN型のゲート電極とを溝の内部に形成した埋め込み導電層で接続していることから、P型のゲート電極とN型のゲート電極とは導通された状態にあるが、この埋め込み導電層を伝わってゲート電極中の不純物が他方のゲート電極に拡散することはない。

【0009】その半導体装置の製造方法は、半導体基板に設けられているフィールド絶縁膜により分離されている第1、第2のトランジスタ領域上にゲート電極を形成する際に、第1、第2のトランジスタ領域上の各ゲート電極をフィールド絶縁膜上で分離した状態に形成した後、第1のトランジスタ領域上のゲート電極をP型に形

成し、第2のトランジスタ領域上のゲート電極をN型に形成する。次いで各ゲート電極を被覆する絶縁膜を形成した後、P型のゲート電極とN型のゲート電極とに分離されている部分に達する溝を絶縁膜に形成し、その溝に、P型のゲート電極とN型のゲート電極とに接続する埋め込み導電層を形成することを特徴とする。上記ゲート電極をP型およびN型に形成する工程と、埋め込み導電層を形成する工程との間に、熱処理をともなうメモリ素子のキャパシタを形成する。さらに上記ゲート電極を形成する際に用いるエッチングマスクを、クロムレス位相シフト法を用いたリソグラフィ技術により形成する。

【0010】上記半導体装置の製造方法では、ゲート電極の分離形成により、その後に熱処理をともなう工程を行っても、ゲート電極間の不純物の相互拡散は防止される。またゲート電極をP型およびN型に形成する工程と、埋め込み導電層を形成する工程との間に、熱処理をともなうメモリ素子のキャパシタを形成することから、ゲート電極間の不純物の相互拡散は防止される。そのため、ロジック素子に上記キャパシタが搭載されるようなDRAMのようなメモリ素子を混載することが可能になる。さらにゲート電極を形成する際に用いるエッチングマスクを、クロムレス位相シフト法を用いたリソグラフィ技術により形成することから、ゲート電極の分離部分は、通常の露光技術に解像限界よりも狭い幅に形成される。

【0011】

【発明の実施の形態】本発明の半導体装置に係わる実施形態の一例を、図1の概略構成断面図によって説明する。この図1では、(1)に断面図を示し、(2)に要部レイアウト図を示す。

【0012】図1に示すように、半導体基板11にはPMOSFETの形成領域（第1のトランジスタ領域）12とNMOSFETの形成領域（第2のトランジスタ領域）13とを分離するフィールド絶縁膜21が形成されている。上記半導体基板11は、例えば通常のシリコン基板からなり、上記フィールド絶縁膜21は酸化シリコンからなる。また、上記PMOSFETの形成領域12の半導体基板11にはPMOSチャネル領域14が形成され、上記NMOSFETの形成領域13の半導体基板11にはNMOSチャネル領域15が形成されていてもよい。

【0013】上記PMOSFETの形成領域12およびNMOSFETの形成領域13の半導体基板11上にはゲート絶縁膜31が形成され、PMOSFETの形成領域12のゲート絶縁膜31上にはPMOSFETのP型のゲート電極33が形成され、上記NMOSFETの形成領域13のゲート絶縁膜31上にはNMOSFETのN型のゲート電極34が形成されている。そして各ゲート電極33、34は上記フィールド絶縁膜21上に延出

されていて、フィールド絶縁膜21A上で、P型のゲート電極33とN型のゲート電極34とは狭い間隔、例えばゲート電極のゲート長よりも短い間隔で物理的に分離されている。上記P型のゲート電極33およびN型のゲート電極34は、例えば100nmの厚さのポリシリコン膜51とその上に形成した例えば100nmの厚さのタングステンシリサイド膜52とからなる。

【0014】なお、ここでは図示はしないが、各ゲート電極33、34の両側における半導体基板11には、例えばLDD (Lightly Doped Drain) 構造のソース・ドレインが形成されている。そのLDD構造を形成する際に各ゲート電極の側周にはサイドウォール35が形成されている。

【0015】上記P型のゲート電極33および上記N型のゲート電極34は、半導体基板11上に形成されている絶縁膜41に被覆されている。この絶縁膜41は、例えば酸化シリコンからなる。また上記絶縁膜41には上記ゲート電極33、34の分離部分に達する状態に溝42が形成されている。この溝42の内部には、上記P型のゲート電極33と上記N型のゲート電極34とに接続する埋め込み導電層43が、例えばタングステンで形成されている。

【0016】上記相補型電界効果トランジスタのP型のゲート電極33およびN型のゲート電極34は、フィールド絶縁膜21A上で物理的に分離されていることから、P型のゲート電極33とN型のゲート電極34との相互間で、ゲート電極中の不純物が拡散することはない。さらに、P型のゲート電極33とN型のゲート電極34とを溝42の内部に形成した埋め込み導電層43で接続していることから、P型のゲート電極33とN型のゲート電極34とは導通された状態にあるが、この埋め込み導電層43を伝わってゲート電極中の不純物が他方のゲート電極に拡散することはない。

【0017】一方、従来の埋め込み導電層は、拡散層上で用いられている、いわゆるBMD (Buried Metal on Diffusion layer) であったが、本発明では上記説明したように、フィールド絶縁膜上で、異なる導電型のゲート電極間の不純物の相互拡散を抑制するとともに電極間の導通を得るための接続手段として用いていることが特徴となっている。

【0018】次に上記図1によって説明した構成のロジックデバイスにDRAMを混載した半導体装置の一例を、図2の概略構成断面図によって説明する。図2では、前記図1によって説明した構成部品と同様のものには同一符号を付与する。

【0019】図2に示すように、半導体基板(例えばシリコン基板)11には、PMOSFETの形成領域12とNMOSFETの形成領域13とDRAMの形成領域16とを電氣的に分離するフィールド絶縁膜21が形成されている。上記PMOSFETの形成領域12には、

PMOSチャネル領域14が形成され、上記NMOSFETの形成領域13には、NMOSチャネル領域15が形成され、DRAMの形成領域16にもチャネル形成領域17が形成されている。

【0020】上記半導体基板11上にはゲート絶縁膜31が、例えば5nmの厚さの酸化シリコンで形成されている。上記PMOSFETの形成領域12のゲート絶縁膜31上にはP型のゲート電極33が形成され、上記NMOSFETの形成領域13ゲート絶縁膜31上にはN型のゲート電極34が形成され、上記DRAMの形成領域16にはメモリセルトランジスタのゲート電極53、54が形成されている。これら各ゲート電極は、例えば100nmの厚さのポリシリコン膜51と、例えば100nmの厚さのタングステンシリサイド膜52とからなる。そしてP型のゲート電極33とN型のゲート電極34とは、フィールド絶縁膜21A上で、物理的に分離されている。またDRAMの形成領域16のゲート絶縁膜31上にも、メモリセルのゲート電極53、54が形成されている。

【0021】上記P型のゲート電極33およびN型のゲート電極34の各両側における半導体基板11には、それぞれのソース・ドレイン(図示省略)が形成されている。このソース・ドレインは、例えばLDD構造を成している。またメモリセルのゲート電極53、54の両側における半導体基板11にも拡散層56~58が形成されている。なお、上記各ゲート電極33、34、53、54の側壁には酸化シリコン膜からなるサイドウォール35が形成されている。

【0022】上記の如くに、PMOSFET1、NMOSFET2、DRAMのメモリセルトランジスタ3、4が構成されている。

【0023】上記半導体基板11上には、上記PMOSFET1、NMOSFET2、DRAMのメモリセルトランジスタ3、4を覆う状態に、第1層間絶縁膜61が形成されている。この第1層間絶縁膜61は、例えば10nmの厚さの酸化シリコン膜62、例えば30nmの厚さの窒化シリコン膜63、例えば300nmの厚さのBPSG膜64からなり、このBPSG膜64の表面は平坦化されている。

【0024】上記第1層間絶縁膜61にはメモリセルトランジスタ3、4の拡散層57に通じるコンタクトホール(図示省略)が形成されている。上記第1層間絶縁膜61上には、上記コンタクトホールを通じてメモリセルトランジスタ3、4の拡散層57に接続されるビット線91が、例えばタングステンポリサイド構造で形成されている。さらに上記第1層間絶縁膜61上には、上記ビット線91を覆う第2層間絶縁膜65が形成されている。

【0025】また上記第2層間絶縁膜65から第1層間絶縁膜61にかけてメモリセルトランジスタ3、4の拡

散層56, 58に通じるコンタクトホール66, 67が形成されている。第2層間絶縁膜46上には、コンタクトホール66, 67を通じて拡散層56, 58に接続されるキャパシタ84, 84が形成されている。このキャパシタ84は、シリンダ型を有するドーパポリシリコンからなるキャパシタノード電極81と、その表面に形成された酸化シリコンと窒化シリコンとの積層膜からなるキャパシタ誘電体膜82と、その表面を覆うドーパポリシリコンからなるプレート電極83とで構成されている。

【0026】上記キャパシタ84は第3層間絶縁膜68によって被覆されている。この第3層間絶縁膜68は、例えばBPSG膜で形成されている。上記第1層間絶縁膜61からこの第3層間絶縁膜68までが前記図1によって説明した絶縁膜41に相当する。

【0027】上記P型のゲート電極33とN型のゲート電極34との分離領域上の上記第3層間絶縁膜68から第1層間絶縁膜61にかけては、P型のゲート電極33とN型のゲート電極34との両方に達する溝42が形成されている。この溝42の内部には埋め込み導電層43が、例えばタングステンで形成されている。したがって埋め込み導電層43は上記P型のゲート電極33とN型のゲート電極34とに接続されている。

【0028】上記第3層間絶縁膜68上には、上記埋め込み導電層43を覆う第4層間絶縁膜69が形成されている。この第4層間絶縁膜69には、例えばCMOS回路を個性するために、埋め込み導電層43に通じる接続孔70が形成され、その接続孔70内にはタングステンからなる導電性プラグ71が形成されている。さらに導電性プラグ71に接続する配線72が形成されている。

【0029】上記図2によって説明した半導体装置では、ロジックデバイスとなる相補型電界効果トランジスタのP型のゲート電極33およびN型のゲート電極34は、フィールド絶縁膜21A上で物理的に分離されていることから、P型のゲート電極33とN型のゲート電極34との相互間で、ゲート電極中の不純物が拡散することはない。さらに、P型のゲート電極33とN型のゲート電極34とを溝42の内部に形成した埋め込み導電層43で接続していることから、P型のゲート電極33とN型のゲート電極34とは導通された状態にあるが、この埋め込み導電層43を伝わってゲート電極中の不純物が他方のゲート電極に拡散することはない。このように、P型のゲート電極33とN型のゲート電極34とが物理的に分離されていることから、その上層に高温の熱工程を伴って形成されような、DRAMのキャパシタ84を形成する構成であっても、P型のゲート電極33とN型のゲート電極34との間で不純物の相互拡散は起こらない。

【0030】次に本発明の半導体装置の製造方法に係わる実施形態の一例を、図3～図6の製造工程図によって

説明する。図3～図6では、ロジック素子にDRAMを混載した製造方法の一例を示し、また前記図1によって説明した構成部品と同様のものには同一符号を付与する。

【0031】図3に示すように、半導体基板（例えばシリコン基板）11には、例えば局所酸化法〔例えば、LOCOS (Local Oxidation of Silicon) 法〕によって、PMOSFETの形成領域12とNMOSFETの形成領域13とDRAMの形成領域16とを電気的に分離するフィールド絶縁膜21を形成する。そのLOCOS酸化は、例えば、950℃のウエット酸化により行う。

【0032】またPMOSFETの形成領域12には、例えば、Nウエル領域（図示省略）の形成やトランジスタのパンチスルー阻止を目的とした埋め込み層（図示省略）を形成するためのイオン注入やしきい値電圧 V_{th} を調整するためのイオン注入を行ってPMOSチャネル領域14を形成する。またNMOSFETの形成領域13には、例えば、Pウエル領域（図示省略）の形成やトランジスタのパンチスルー阻止を目的とした埋め込み層（図示省略）を形成するためのイオン注入やしきい値電圧 V_{th} を調整するためのイオン注入を行ってNMOSチャネル領域15を形成する。同様に、DRAMの形成領域16のもチャネル形成領域17を形成する。

【0033】次いで、上記半導体基板11上にゲート絶縁膜31を、例えば水素と酸素との混合雰囲気を850℃に加熱するパイロジェニック酸化によって、5nmの厚さの酸化シリコンを生成することにより形成する。続いて、上記ゲート絶縁膜31上に非晶質シリコン膜55を、例えば減圧CVD法により、100nmの厚さに形成する。この減圧CVD法による成膜条件は、一例として、原料ガスにモノシランを用い、成膜温度を550℃に設定した。続いて上記非晶質シリコン膜55上にタングステンシリサイド膜52を、例えば減圧CVD法によって、100nmの厚さに形成する。このタングステンシリサイドを堆積する減圧CVD条件は、一例として、原料ガスに六フッ化タングステンとジクロロシランとを用い、成膜温度を580℃に設定した。

【0034】続いてレジスト塗布技術により、タングステンシリサイド膜52上にレジスト膜（図示省略）を形成した後、リソグラフィ技術によりゲート電極をエッチングにより形成する際に用いるマスク（図示省略）を上記レジスト膜で形成する。その際、PMOSFETのゲート電極33とNMOSFETのゲート電極34とは、フィールド絶縁膜21A上で分離されるように、レジストマスクは形成される。そしてそのレジストマスク（図示省略）を用いて異方性エッチングを行う。このエッチングでは、塩素と酸素との混合ガスをエッチングガスに用いたECR (Electron Cyclotron Resonance) エッチングにより行った。その結果、PMOSFETのゲ

ート電極33とNMOSFETのゲート電極34とは、フィールド絶縁膜21A上で分離される。なお、上記リソグラフィー技術およびエッチバック技術によって、DRAMのメモリセルのゲート電極53、54およびワード線（図示省略）も形成する。

【0035】その後、上記レジストマスクを除去する。次いで通常のレジスト塗布、リソグラフィー技術によって、NMOSFETの形成領域13上のみを開口したレジストマスクを形成した後、このレジストマスクとともに上記ゲート電極34、上記素子分離領域21等をマスクにしてNMOSFETの形成領域13の半導体基板11にヒ素をイオン注入して、ゲート電極34の両側における半導体基板11の上層にN型のLDD領域（図示省略）を形成する。その際、ゲート電極34にもヒ素がイオン注入される。このイオン注入は、一例として、ドーズ量を 5×10^{13} 個/cm²、エネルギーを20keVに設定した。

【0036】その後、上記レジストマスクを除去する。次いで通常のレジスト塗布、リソグラフィー技術によって、PMOSFETの形成領域12上のみを開口したレジストマスクを形成した後、このレジストマスクとともに上記ゲート電極33、上記素子分離領域21等をマスクにしてPMOSFETの形成領域12の半導体基板11に二フッ化ホウ素をイオン注入して、ゲート電極33の両側における半導体基板11の上層にP型のLDD領域（図示省略）を形成する。その際、ゲート電極33にもホウ素がイオン注入される。このイオン注入は、一例として、ドーズ量を 5×10^{13} 個/cm²、エネルギーを20keVに設定した。その後上記レジストマスクを除去する。

【0037】上記各ゲート電極33、34、53、54を覆う状態に絶縁膜として例えば酸化シリコン膜を、例えば減圧CVD法により堆積した後、異方性エッチングにより、ゲート電極33、34、53、54の側壁に上記酸化シリコン膜を残して、他の上記酸化シリコン膜を除去して、サイドウォール35を形成する。

【0038】さらに、通常のレジスト塗布、リソグラフィー技術によって、NMOSFETの形成領域13上のみを開口したレジストマスクを形成した後、このレジストマスクとともに上記ゲート電極34、上記サイドウォール35、上記素子分離領域21等をマスクにしてNMOSFETの形成領域13の半導体基板11にヒ素をイオン注入して、ゲート電極34の両側における半導体基板11の上層に、このゲート電極34側にLDD領域を介して、N型のソース・ドレイン領域（図示省略）を形成する。その際、ゲート電極34にもヒ素がイオン注入される。このイオン注入は、一例として、ドーズ量を 5×10^{15} 個/cm²、エネルギーを20keVに設定した。

【0039】その後、上記レジストマスクを除去する。

次いで通常のレジスト塗布、リソグラフィー技術によって、PMOSFETの形成領域12上のみを開口したレジストマスクを形成した後、このレジストマスクとともに上記ゲート電極33、上記サイドウォール35、上記素子分離領域21等をマスクにしてPMOSFETの形成領域12の半導体基板11に二フッ化ホウ素をイオン注入して、ゲート電極33の両側における半導体基板11の上層に、このゲート電極33側にLDD領域を介して、P型のソース・ドレイン領域（図示省略）を形成する。その際、ゲート電極33にもホウ素がイオン注入される。このイオン注入は、一例として、ドーズ量を 5×10^{15} 個/cm²、エネルギーを20keVに設定した。その後上記レジストマスクを除去する。

【0040】なお、DRAMのメモリセルの拡散層も、上記説明したような、レジスト塗布およびリソグラフィー技術によって、DRAMのメモリセルの拡散層を形成する領域上を開口したレジストマスクを形成し、それを用いて半導体基板にイオン注入することによりDRAMのメモリセルの拡散層56～58を形成する。その後、このイオン注入にマスクとして用いたレジスト膜を除去する。

【0041】その後、RTA（Rapid Thermal Annealing）により、1000℃で10秒程度の熱処理を行い、ドーピングされている不純物の活性化を行う。このとき、ゲート電極33、34、53、54等の非晶質シリコンは結晶化される。またゲート電極33、34、53、54中にもイオン注入した不純物が拡散される。このようにして、PMOSFET1、NMOSFET2、DRAMのメモリセルトランジスタ3、4が完成する。

【0042】次いで図4に示すように、例えば酸化シリコン膜62を例えば10nmの厚さに堆積し、窒化シリコン膜63を例えば30nmの厚さに堆積し、ホウ素リンシリケートガラス（BPSG）膜64を例えば300nmの厚さに堆積して第1層間絶縁膜61を形成する。続いて850℃の窒素雰囲気中で10分のアニーリングを行うことによってBPSG膜64をリフローしてその表面を平坦化する。

【0043】通常のレジスト塗布、およびリソグラフィー技術により形成したレジストマスク（図示省略）を用いたエッチングにより、第1層間絶縁膜61にメモリセルトランジスタ3、4の拡散層57に通じるコンタクトホール（図示省略）を形成する。次いで通常の配線形成技術により、上記第1層間絶縁膜61上に、上記コンタクトホールを介してメモリセルトランジスタ3、4の拡散層57に通じるビット線91を例えばタングステンポリサイド構造で形成する。例えば、このビット線91は、コンタクトホール内に埋め込む状態で上記第1層間絶縁膜61上にドーパポリシリコンを堆積し、さらにタングステンシリサイドを堆積した後、通常のレジスト塗布、およびリソグラフィー技術により形成したレジスト

マスク（図示省略）を用いたエッチングにより形成すればよい。

【0044】次いで上記第1層間絶縁膜61上に、上記ビット線91を覆う第2層間絶縁膜65を形成する。

【0045】上記第2層間絶縁膜65から第1層間絶縁膜61にかけてメモリセルトランジスタ3、4の拡散層56、58に通じるコンタクトホール66、67を形成する。さらに第2層間絶縁膜46上に、コンタクトホール66、67内に通じるもので、例えばシリンドラ型を有するキャパシタノード電極81を、例えばドーパポリシリコンで形成する。次いでキャパシタ誘電体膜82を酸化シリコンと窒化シリコンとの積層膜で形成する。このとき、800℃～850℃の熱処理が加わる。さらにプレート電極83をドーパポリシリコンで形成することによって、DRAMのキャパシタ84を形成する。

【0046】次いで上記キャパシタ84を覆う第3層間絶縁膜68を、例えばBPSG膜で形成する。その後、850℃の窒素雰囲気中で10分間のリフロー処理を行って、第3層間絶縁膜68の平坦化処理を行う。上記第1層間絶縁膜61からこの第3層間絶縁膜68までが前記図1によって説明した絶縁膜41に相当する。

【0047】次いで、レジスト塗布技術により上記第3層間絶縁膜68上にレジスト膜（図示省略）を形成した後、リソグラフィー技術により、上記P型のゲート電極33とN型のゲート電極34との分離領域上に溝状の開口を設けたマスク（図示省略）を上記レジスト膜で形成する。

【0048】そして上記レジストマスク（図示省略）を用いて、上記第3層間絶縁膜68から第1層間絶縁膜61を異方性エッチングする。このエッチングでは、例えばフルオロカーบอนをエッチングガスに用いた。上記エッチングでは、BPSG膜をエッチングしていくと窒化シリコン膜63がエッチングストップとなる。引き続いて、異方性エッチングによって窒化シリコン膜63と酸化シリコン膜62とをエッチングする。

【0049】その結果、図5に示すように、上記フィールド絶縁膜21A上の上記P型のゲート電極33とN型のゲート電極34との分離領域上に、これらP型のゲート電極33とN型のゲート電極34との両方に達する溝42が第3層間絶縁膜68から第1層間絶縁膜61に形成される。

【0050】その後、レジストマスクを除去する。上記溝42内を埋め込む状態に、導電層を、例えばCVDによりタングステンを堆積して形成する。そしてその導電層をエッチバックして、第3層間絶縁膜68上の導電層を除去することにより、溝42内のみに残した導電層で埋め込み導電層43を形成する。その結果、この埋め込み導電層43は、上記P型のゲート電極33とN型のゲート電極34とに接続されることになる。

【0051】続いて図6に示すように、上記第3層間絶

縁膜68上に上記埋め込み導電層43を覆う第4層間絶縁膜69を成膜する。その後、例えば化学的機械研磨（CMP：Chemical Mechanical Polishing）によってDRAMの形成領域とロジック素子の形成領域との段差を低減する。

【0052】続いてレジスト塗布およびリソグラフィー技術により第4層間絶縁膜69に接続孔を形成するためのエッチバック時に用いるレジストマスクを（図示省略）形成した後、それをマスクに用いて第4層間絶縁膜69を異方性エッチングすることにより、埋め込み導電層43に通じる接続孔70を形成する。この異方性エッチングではエッチングガスに例えばフルオロカーบอนを用いる。

【0053】その後、上記レジストマスクを除去する。さらに、CVD法により上記接続孔70内にタングステンを埋め込み、エッチバックにより第4層間絶縁膜69上に形成されているタングステンを除去する。このようにして上記接続孔70内に対応するようにタングステンからなる導電性プラグ71を形成する。さらに通常の配線形成技術により、上記第4層間絶縁膜69上に上記導電性プラグ71に接続する配線72を、例えばアルミニウム、アルミニウム合金等により形成する。このようにして、例えばCMOS回路を構成する。

【0054】上記実施形態で説明した製造方法では、P型のゲート電極33とN型のゲート電極34とを分離形成した後、高温プロセスをとるDRAMのキャパシタ84を形成する。そのため、デュアルゲートのP⁺型のゲート電極33とN⁺型のゲート電極34との間で、タングステンシリサイド膜52中を通して不純物の相互拡散は起こらない。また、DRAMのキャパシタ84を形成した後に埋め込み導電層43をP⁺型のゲート電極33とN⁺型のゲート電極34とに接続するように形成することから、P⁺型のゲート電極33とN⁺型のゲート電極34とはこの埋め込み導電層43を介して電氣的に接続される。よって、ロジック素子に上記キャパシタ84が搭載されるようなDRAMのようなメモリ素子を混載することが可能になる。

【0055】また、ソース・ドレインを形成する際のイオン注入により各ゲート電極に不純物を導入することから、各ゲート電極への不純物導入を別の工程で行う必要がないので、工程数の増加はない。さらに、デュアルゲートのP⁺型のゲート電極33とN⁺型のゲート電極34とを、アルミニウム配線を用いて接続する必要がないので、各ゲート電極の接続領域の面積を縮小化することが可能になる。そのため、チップ面積も縮小化することができる。

【0056】次に、デュアルゲートのゲート電極を分離する際に、分離間隔を狭める方法を以下に説明する。この方法は、位相シフト法によるレジスト露光を行うことにより、狭い幅の間隔のゲート電極パターンを形成する

ことを特徴としている。

【0057】デュアルゲートを分離して形成するリソグラフィ工程以外は、上記実施形態で説明した製造方法と同様である。ここでは、そのリソグラフィ工程と、それにより形成したレジストマスクを用いてゲート電極を形成するエッチング工程を、図7によって説明することにする。

【0058】図7の(1)に示すように、ゲート電極を形成するための膜105上には、PMOS領域101とNMOS領域102とを分離するレジストパターンを形成するレジスト膜106にはネガ型レジストを用いる。一方、露光には、いわゆるクロムレスの位相シフト法を用いる。その際、図7の(2)に示すように、露光マスク201には、ゲートパターンを露光するための開口部がシフターレス領域202とシフター領域203とで構成され、シフターレス領域202とシフター領域203との境界で位相が180deg. ($=\pi$)異なるよう構成されているクロムレス位相シフトマスクを用いる。なお、マスクの遮光部分204はクロム膜で形成されている。このようなマスクを用いた露光では、図7の(3)に示すように、位相が0deg.の領域を透過光と位相が180deg.の領域の透過光とが重なりあう領域では、図7の(4)に示すように、互いの透過光同志で打ち消し合うことによって、前記図7の(1)に示すように、通常露光よりも細い間隔dを解像することが可能になる。このようにしてPMOS領域101とNMOS領域102とを分離する状態にレジスト膜106をパターンニングしてレジストマスク107、108を形成する。なお上記(3)図では縦軸に位相を考慮した光強度を示し、横軸にゲート幅方向の長さを示し、上記(4)図では縦軸に光強度を示し、横軸にゲート幅方向の長さを示している。

【0059】その後、上記レジストマスク107、108を用いて異方性エッチングによりタングステンシリサイド膜52と非晶質シリコン膜55とをエッチングしてゲート電極33A、34Aを形成する。このとき、NMOS領域とPMOS領域とのゲート電極33A、34Aは、フィールド絶縁膜21A上で分離される。以降、前記実施形態で説明したのと同様のプロセスを行って、CMOS回路を構成する。

【0060】上記クロムレス位相シフト法を用いるプロセスでは、前記実施形態で得られる作用効果とともに、P型に形成されるゲート電極33AとN型に形成されるゲート電極34Aとの間隔を通常のリソグラフィ技術とエッチング技術とでパターンニングした場合よりも狭くできる。すなわち、通常露光の解像限界よりも狭い間隔でゲート電極33Aとゲート電極34Aとを分離形成できるので、ゲート接続領域の面積を縮小することができる。

【0061】なお、ロジックデバイスにDRAMを混載

しない場合には、上記DRAMの形成プロセスを省略すればよい。

【0062】

【発明の効果】以上、説明したように本発明の半導体装置によれば、相補型電界効果トランジスタのゲート電極は、フィールド絶縁膜上でP型のゲート電極とN型のゲート電極とに物理的に分離されているので、P型のゲート電極とN型のゲート電極との相互間で、ゲート電極中の不純物の拡散を防止することができる。そのため、上記構成を得た後、高温プロセスをとるなうDRAMのキャパシタを形成することが可能になる。

【0063】本発明の半導体装置の製造方法によれば、DRAMのキャパシタを形成する際の高温プロセス時には、デュアルゲートのP型のゲート電極とN型のゲート電極とは分離されている状態になっているので、ゲート電極のタングステンシリサイド中を通して不純物の相互拡散は起こらない。またソース・ドレインを形成する際のイオン注入によりゲート電極に不純物を導入することができるので、ゲート電極への不純物導入を別の工程で行う必要がない。よって、工程数の増加はない。さらに、デュアルゲートのP型のゲート電極とN型のゲート電極とを、アルミニウム配線を用いて接続する必要がないので、ゲート電極の接続領域の面積を縮小化することが可能になる。そのため、チップ面積も縮小化が図れる。

【0064】また位相シフト法を用いるプロセスによれば、N型のゲート電極とP型のゲート電極と間隔を通常のリソグラフィ技術とエッチング技術とでパターンニングした場合よりも狭くできるので、ゲート接続領域の面積を縮小化が図れる。

【図面の簡単な説明】

【図1】本発明の半導体装置に係わる実施形態の概略構成断面図である。

【図2】ロジックデバイスにDRAMを混載した本発明の半導体装置に係わる実施形態の概略構成断面図である。

【図3】本発明の半導体装置の製造方法に係わる実施形態の概略構成断面図(1)である。

【図4】本発明の半導体装置の製造方法に係わる実施形態の概略構成断面図(2)である。

【図5】本発明の半導体装置の製造方法に係わる実施形態の概略構成断面図(3)である。

【図6】本発明の半導体装置の製造方法に係わる実施形態の概略構成断面図(4)である。

【図7】本発明の半導体装置の製造方法に係わる位相シフト法の説明図である。

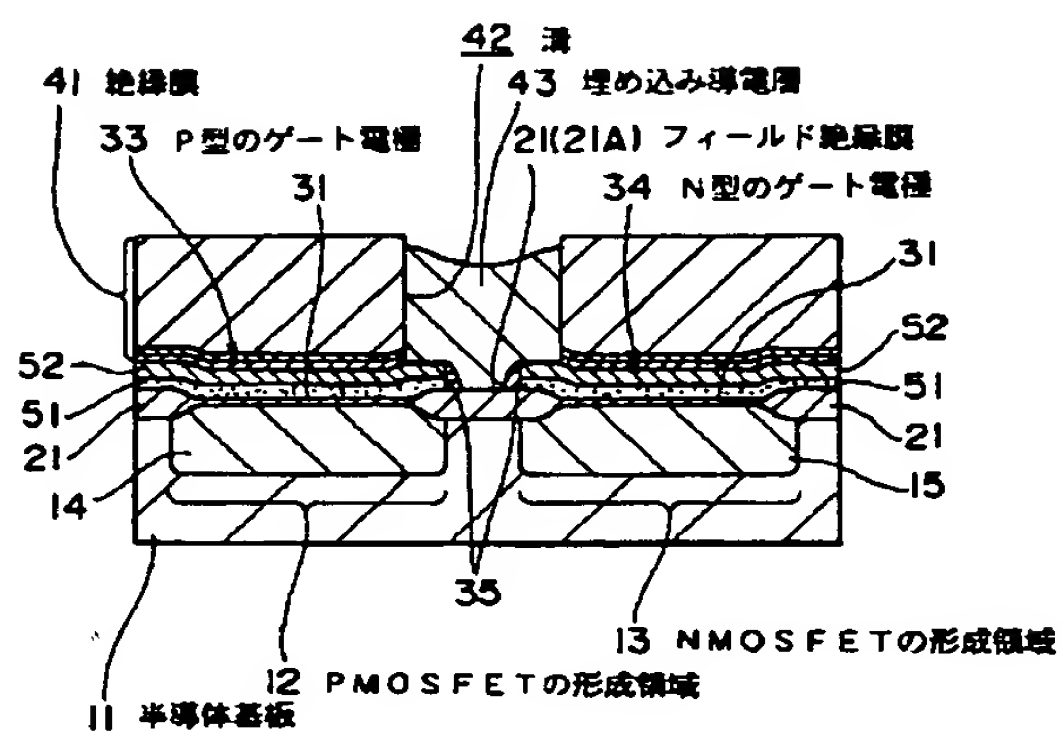
【図8】課題の説明図である。

【符号の説明】

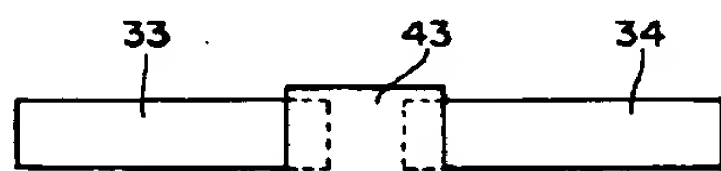
11…半導体基板、12…PMOSFETの形成領域、13…NMOSFETの形成領域、21…フィールド絶

縁膜、33…P型のゲート電極、34…N型のゲート電極、41…絶縁膜、42…溝、43…埋め込み導電層

【図1】

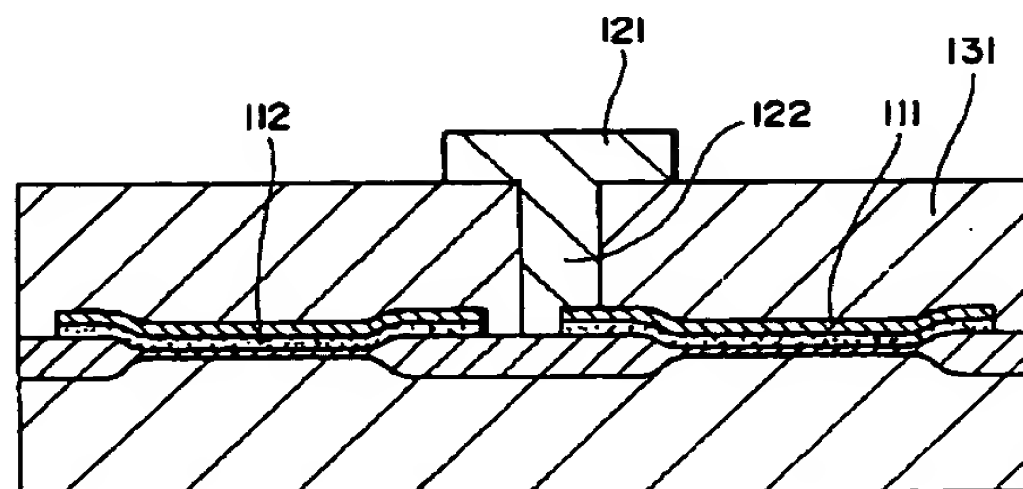


(1)

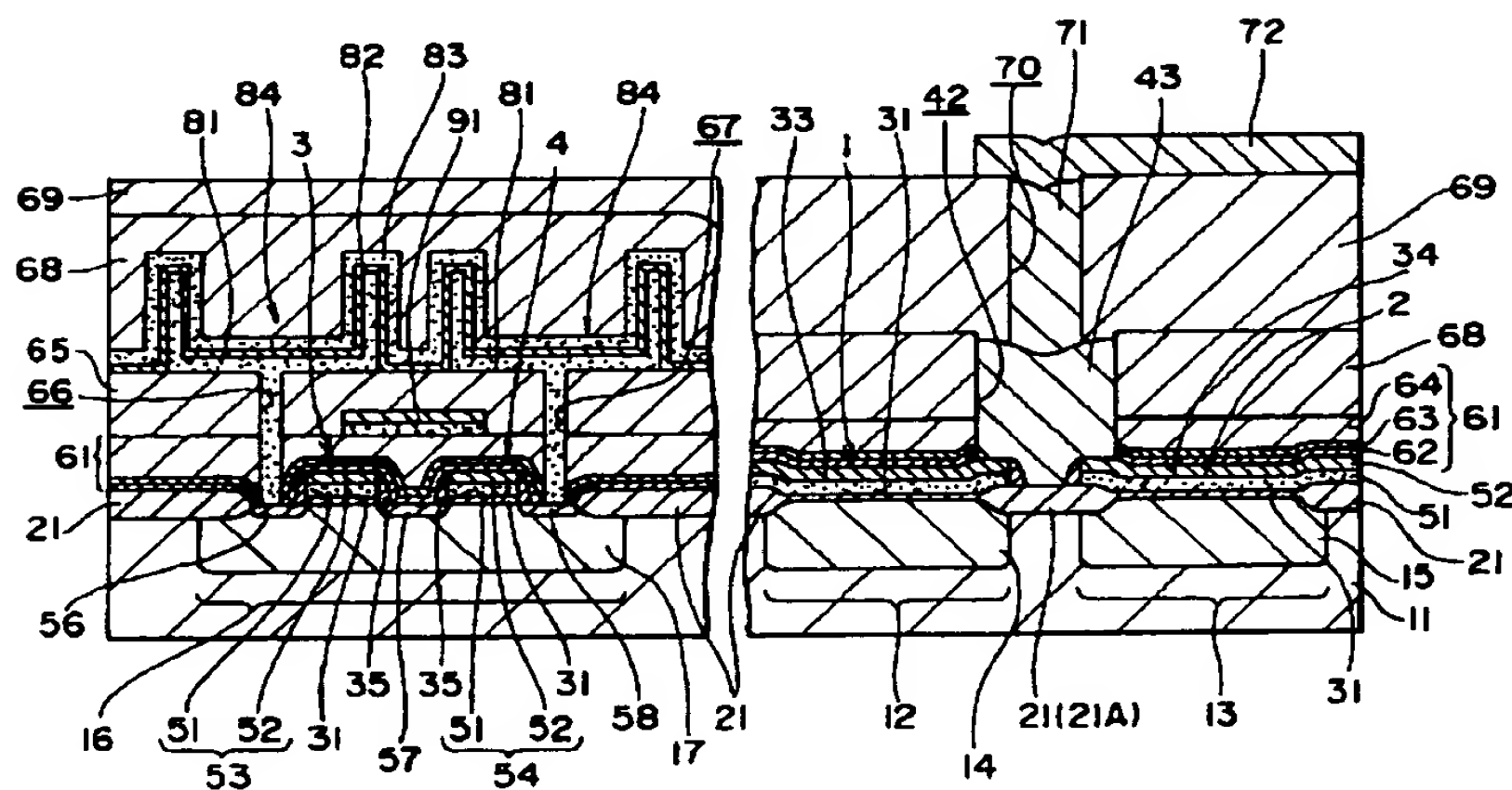


(2)

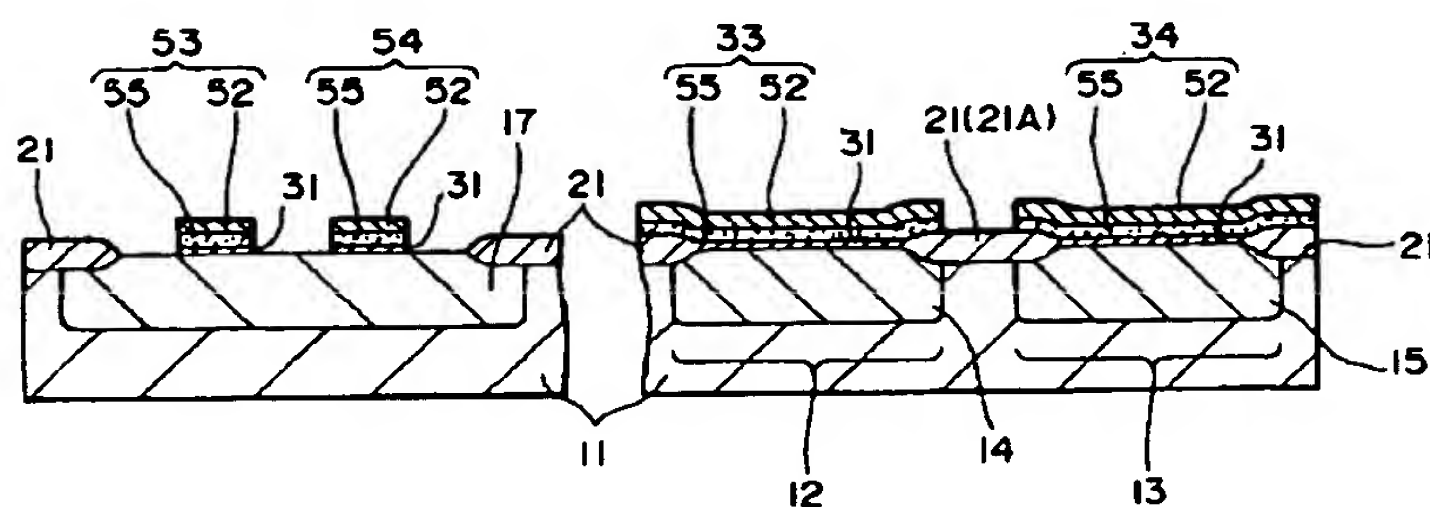
【図8】



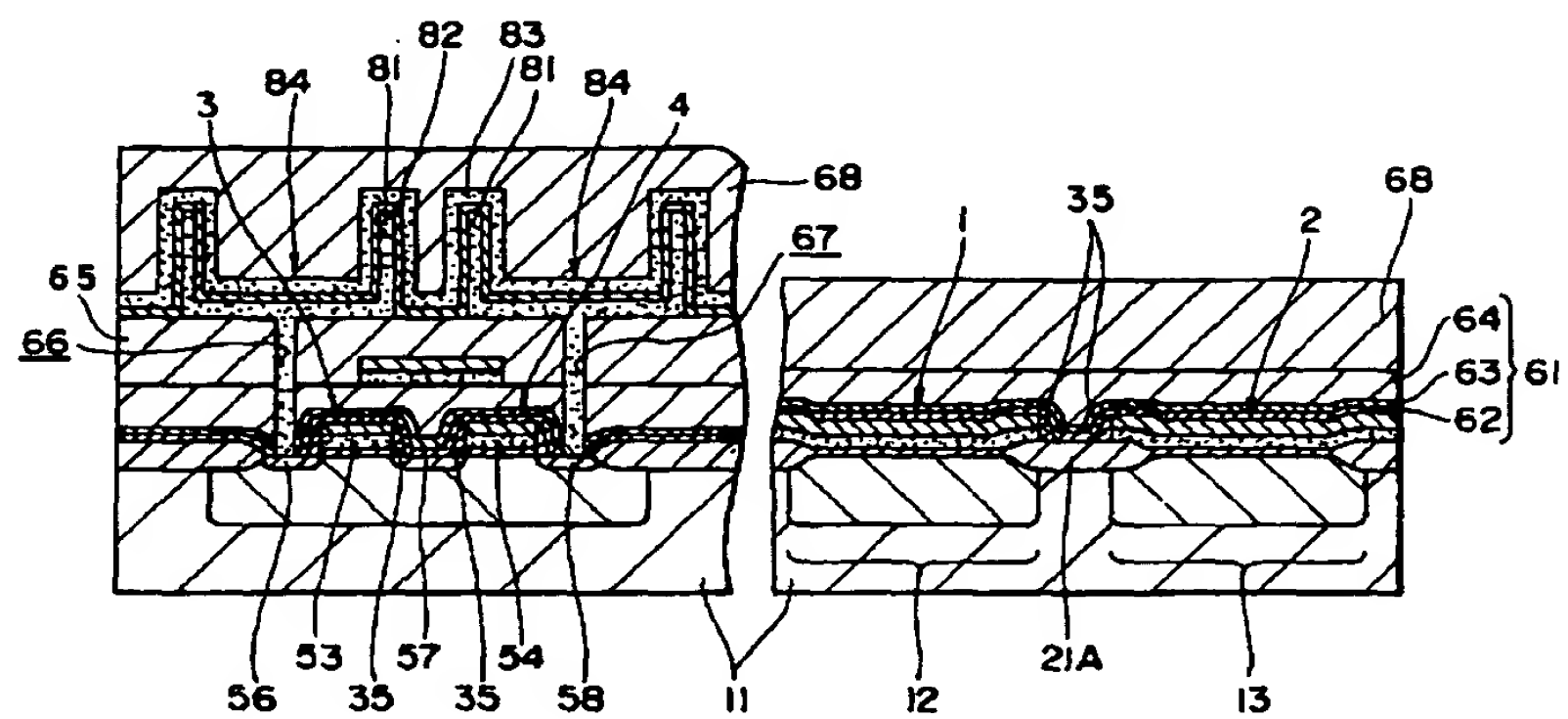
【図2】



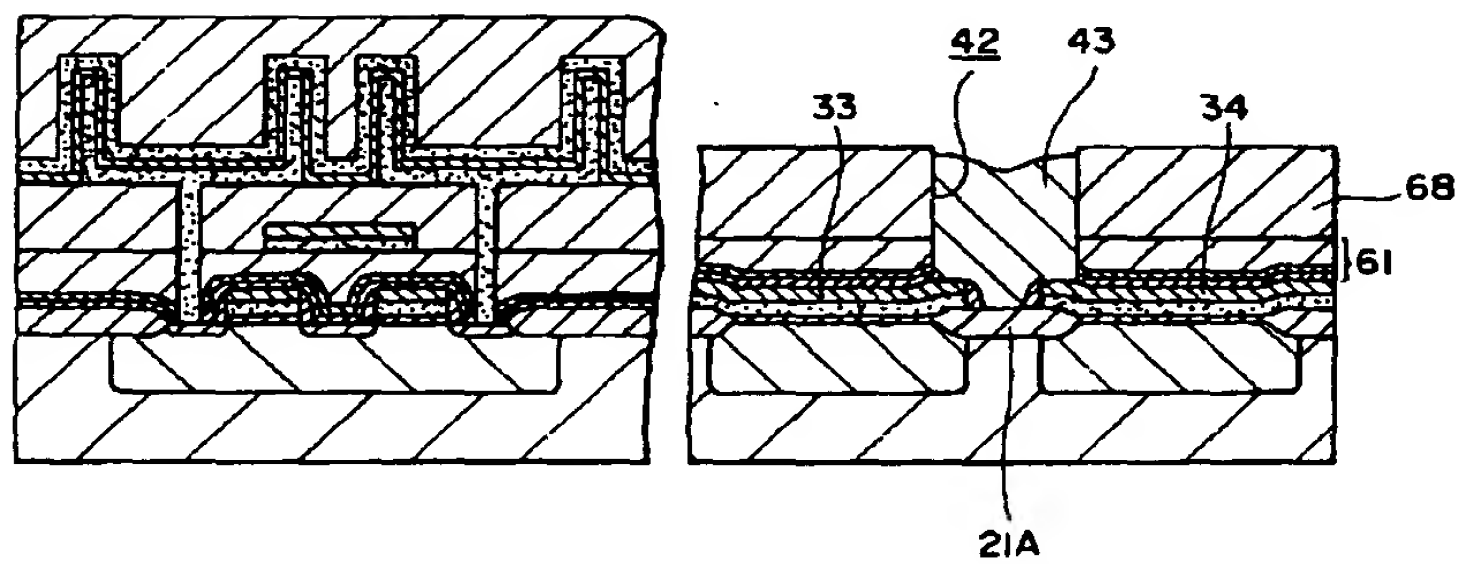
【図3】



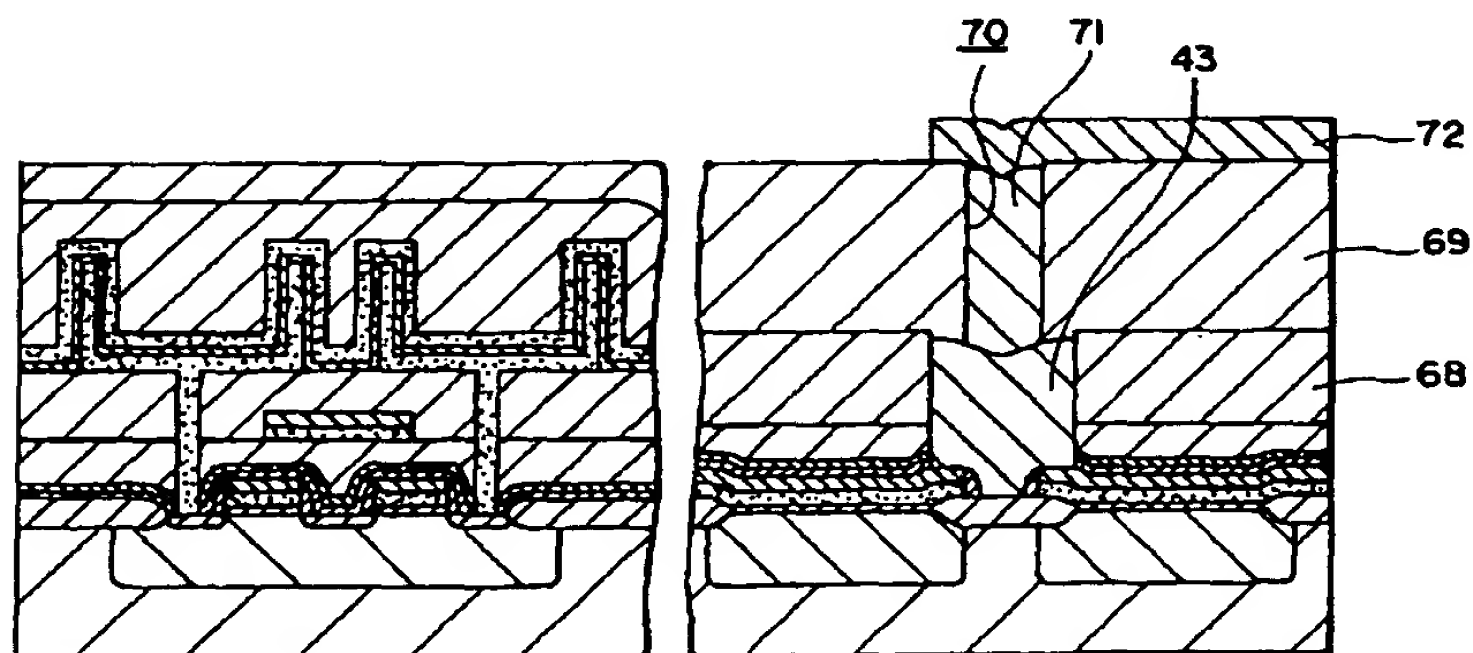
【図4】



【図5】



【図6】



【図7】

